



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11191887 A**(43) Date of publication of application: **13.07.99**

(51) Int. Cl.

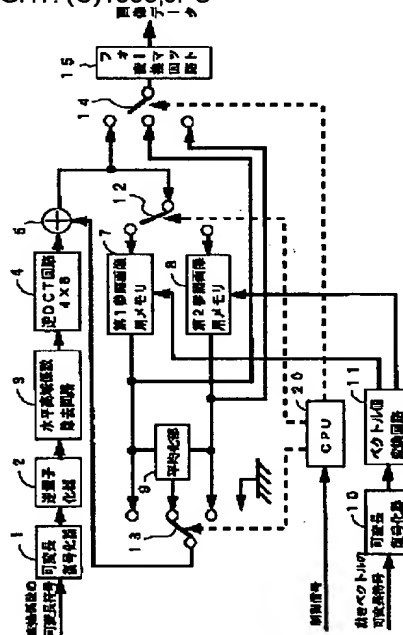
H04N 7/30**H04N 7/32**(21) Application number: **09357362**(22) Date of filing: **25.12.97**(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor:
HIRASE KATSUNORI
MATSUURA SHINICHI
MURASHIMA HIROSHI
YAMASHITA AKIHIKO**(54) MOVING IMAGE DECODER****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a moving image decoder whose memory capacity is reduced.

SOLUTION: A decoder is provided with a coefficient reduction circuit 3 that eliminates half of coefficients for high frequency parts of horizontal frequencies among orthogonal transform coefficients in the unit of blocks of a prescribed size obtained from an input signal, an inverse orthogonal transform circuit 4 that obtains reproduced image data or time base predicted error data whose horizontal direction data are compressed to 1/2 in the unit of blocks by conducting inverse orthogonal transform through the use of the transform coefficients reduced by the coefficient reduction circuit 3, an adder 5 that produces reproduced image data whose horizontal direction data are compressed to 1/2 based on the time base predicted error data obtained by the inverse orthogonal transform circuit 4 and on prescribed reference image data, and one or a plurality of reference image memories 7, 8 that store the reproduced image data to generate reference image data among the reproduced image data obtained by the inverse

orthogonal transform circuit 4 or the adder 5.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-191887

(43)公開日 平成11年(1999)7月13日

(51) Int.Cl.⁸

識別記号

H 0 4 N 7/30
7/32

FI

H 0 4 N 7/133
7/137

$$\mathbf{z}$$

審査請求 未請求 請求項の数3 OL (全 11 頁)

(21)出願番号 特願平9-357362

(22)出願日 平成9年(1997)12月25日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 平瀬 勝典

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 松浦 信一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 村島 弘嗣

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 弁理士 香山 秀幸

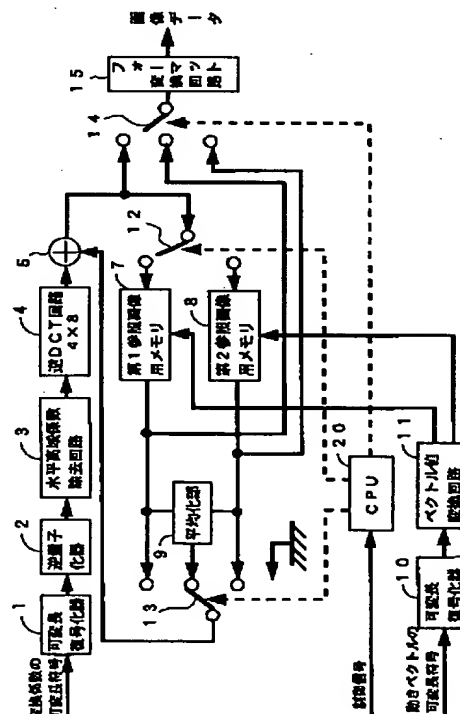
最終頁に続く

(54) 【発明の名称】 動画像復号化装置

(57) 【要約】

【課題】 この発明は、メモリ容量の低減化が図れる動画画像復号化装置を提供することを目的とする。

【解決手段】 入力信号から得られた所定の大きさのブロック単位の直交変換係数のうち、水平周波数の高域部分の係数を除去して変換係数を半分に削減する係数削減回路、係数削減回路によって削減された変換係数を用いて逆直交変換を行うことにより、ブロック単位毎に水平方向が $1/2$ に圧縮された再生画像データまたは時間軸予測誤差データを得る逆直交変換回路、逆直交変換回路によって得られた時間軸予測誤差データと所定の参照画像データとに基づいて、水平方向が $1/2$ に圧縮された再生画像データを生成する加算器、ならびに逆直交変換回路または加算器によって得られた再生画像データのうち参照画像データを生成するために必要な再生画像データを記憶する1または複数の参照画像用メモリを備えている。



【特許請求の範囲】

【請求項 1】 入力信号から得られた所定の大きさのブロック単位の直交変換係数のうち、水平周波数の高域部分の係数を除去して変換係数を半分に削減する係数削減回路、

係数削減回路によって削減された変換係数を用いて逆直交変換を行うことにより、ブロック単位毎に水平方向が 1/2 に圧縮された再生画像データまたは時間軸予測誤差データを得る逆直交変換回路、

逆直交変換回路によって得られた時間軸予測誤差データ 10

と所定の参照画像データとに基づいて、水平方向が 1/

2 に圧縮された再生画像データを生成する加算器、なら*

*びに逆直交変換回路または加算器によって得られた再生画像データのうち参照画像データを生成するために必要な再生画像データを記憶する 1 または複数の参照画像用メモリを備えている動画復号化装置。

【請求項 2】 上記所定のブロック単位は、水平方向画素数が M で、垂直方向画素数が N の M×N の大きさのブロック単位であり、原画像の符号化時において直交変換が数式 1 に基づいて行われたとすると、逆直交変換回路は数式 2 に基づいて逆直交変換を行うものである請求項

1 に記載の動画復号化装置。

【数 1】

$$F(u, v) = \frac{2}{\sqrt{M}\sqrt{N}} \cdot C(u) C(v) \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} f(i, j) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{2M} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots (M-1)$$

$$j, v = 0, 1, 2, \dots (N-1)$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【数 2】

$$f(i, j) = \frac{2}{\sqrt{M}\sqrt{N}} \sum_{u=0}^{M/2-1} \sum_{v=0}^{N-1} C(u) C(v) \cdot F(u, v) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{2 \cdot M/2} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots (M/2-1)$$

$$j, v = 0, 1, 2, \dots (N-1)$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【請求項 3】 上記所定のブロック単位は、水平方向画素数が 8 で、垂直方向画素数が 8 の 8×8 の大きさのブロック単位であり、原画像の符号化時において直交変換が数式 3 に基づいて行われたとすると、逆直交変換回路 40

は数式 4 に基づいて逆変換を行うものである請求項 1 に記載の動画復号化装置。

【数 3】

$$F(u, v) = \frac{1}{4} \cdot C(u) C(v) \sum_{i=0}^7 \sum_{j=0}^7 f(i, j) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{2M} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots, 7$$

$$j, v = 0, 1, 2, \dots, 7$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【数4】

$$f(i, j) = \frac{1}{4} \sum_{u=0}^3 \sum_{v=0}^7 C(u) C(v) \cdot F(u, v) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{8} \right\} \cos \left\{ \frac{(2j+1)v\pi}{16} \right\}$$

ただし、

$$i, u = 0, 1, 2, 3$$

$$j, v = 0, 1, 2, \dots, 7$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、動画像復号化装置に関し、例えばMPEG方式で圧縮符号化された信号を復号化して、原画像の解像度より低い解像度の再生画像を得るのに適した動画像復号化装置に関する。

【0002】

【従来の技術】従来から、デジタルTVなどの分野において画像データを圧縮符号化するための画像符号化方式として、MPEG (Moving Picture Expert Group) 方式が知られている。

【0003】MPEG方式の代表的なものに、MPEG1とMPEG2とがある。MPEG1では、順次走査 (ノンインターレース) の画像のみ扱われていたが、MPEG2では、順次走査の画像だけでなく、飛び越し走査 (インターレース走査) の画像も扱われるようになった。

【0004】これらのMPEGの符号化には、動き補償予測 (時間的圧縮)、DCT (空間的圧縮) 及びエントロピー符号化 (可変長符号化) が採用されている。MPEGの符号化では、まず、16 (水平方向画素数) × 16 (垂直方向画素数) の大きさのマクロブロック単位ごとに、時間軸方向の予測符号化 (MPEG1ではフレーム予測符号化が、MPEG2ではフレーム予測符号化またはフィールド予測符号化) が行われる。予測符号化方式に対応してIピクチャ、Pピクチャ、Bピクチャの3種類の画像タイプが存在する。以下においては、フレー

ム予測符号化を例にとって説明する。

【0005】(1) Iピクチャ：フレーム内の情報のみから符号化された画面で、フレーム間予測を行わずに生成される画面であり、Iピクチャ内の全てのマクロブロック・タイプは、フレーム内情報のみで符号化するフレーム内予測符号化である。

30 【0006】(2) Pピクチャ：IまたはPピクチャからの予測を行うことによってできる画面であり、一般的に、Pピクチャ内のマクロブロック・タイプは、フレーム内情報のみで符号化するフレーム内符号化と、過去の再生画像から予測する順方向フレーム間予測符号化との両方を含んでいる。

【0007】(3) Bピクチャ：双方向予測によってできる画面で、一般的に、以下のマクロブロック・タイプを含んでいる。

- a. フレーム内情報のみで符号化するフレーム内予測符号化
 - 40 b. 過去の再生画像から予測する順方向フレーム間予測符号化
 - c. 未来から予測する逆方向フレーム間予測符号化
 - d. 前後両方の予測による内挿的フレーム間予測符号化
- ここで、内挿的フレーム間予測とは、順方向予測と逆方向予測の2つの予測を対応画素間で平均することを行う。

【0008】MPEG符号器では、原画像の画像データは、16 (水平方向画素数) × 16 (垂直方向画素数) の大きさのマクロブロック単位に分割される。マクロブ

ロック・タイプがフレーム内予測符号化以外のマクロブロックに対しては、マクロブロック・タイプに応じたフレーム間予測が行われ、予測誤差データが生成される。

【0009】マクロブロック単位毎の画像データ（マクロブロック・タイプがフレーム内予測符号化である場合）または予測誤差データ（マクロブロック・タイプがフレーム間予測符号化である場合）は、 8×8 の大きさの4つのサブブロックに分割され、各サブブロックの画像データに直交変換の1種である2次元離散コサイン変*

$$F(u, v) = \frac{1}{4} \cdot C(u) C(v) \sum_{i=0}^7 \sum_{j=0}^7 f(i, j) \times \cos \left\{ \frac{(2i+1)u\pi}{2M} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots, 7$$

$$j, v = 0, 1, 2, \dots, 7$$

$$C(u) \cdot C(v) = \begin{cases} 1 & u=0 \text{ または } v=0 \\ \sqrt{2} & u \neq 0, v \neq 0 \end{cases}$$

【0011】MPEG1では、DCTには、フレームDCTモードのみであるが、MPEG2のフレーム構造では、マクロブロック単位でフレームDCTモードとフィールドDCTモードに切り換えることができる。ただし、MPEG2のフィールド構造では、フィールドDCTモードのみである。

【0012】フレームDCTモードでは、 16×16 のマクロブロックが、4分割され左上の 8×8 のブロック、右上の 8×8 のブロック、左下の 8×8 のブロック、右下の 8×8 のブロック毎にDCTが行われる。

【0013】一方、フィールドDCTモードでは、 16×16 のマクロブロックの左半分の8（水平方向画素数） \times 16（垂直方向画素数）のブロック内の奇数ラインのみからなる 8×8 のデータ群、左半分の 8×16 のブロック内の偶数ラインのみからなる 8×8 のデータ群、右半分の8（水平方向画素数） \times 16（垂直方向画素数）のブロック内の奇数ラインのみからなる 8×8 のデータ群および右半分の 8×16 のブロック内の偶数ラインのみからなる 8×8 のデータ群の各データ群毎にDCTが行われる。

【0014】上記のようにして得られたDCT係数に対して量子化が施され、量子化されたDCT係数が生成される。量子化されたDCT係数は、ジグザグスキャンまたはオルタネートスキャンされて1次元に並べられ、可変長符号器によって符号化される。MPEG符号器からは、可変長符号器によって得られた変換係数の可変長符号とともに、マクロブロック・タイプを示す情報を含む

*換（DCT: Discrete Cosine Transform）が数式5に基づいて行われる。つまり、図4に示すように、 8×8 の大きさのブロック内の各データ $f(i, j)$ に基づいて、 u, v 空間（ u : 水平周波数, v : 垂直周波数）における各DCT（直交変換）係数 $F(u, v)$ が得られる。

【0010】

【数5】

制御情報および動きベクトルの可変長符号が出力される。

【0015】図3は、MPEG復号器の構成を示すブロック図である。

【0016】変換係数の可変長符号は、可変長復号化器101に送られる。マクロブロック・タイプを含む制御信号はCPU110に送られる。動きベクトルの可変長符号は、可変長復号化器109に送られて復号化される。可変長復号化器109によって得られた動きベクトルは、第1参照画像用メモリ106および第2参照画像用メモリ107に、参照画像の切り出し位置を制御するための制御信号として送られる。

【0017】可変長復号化器101は、変換係数の可変長符号を復号化する。逆量子化器102は、可変長復号化器101から得られた変換係数（量子化されたDCT係数）を逆量子化してDCT係数に変換する。

【0018】逆DCT回路103は、逆量子化器102で生成されたDCT係数列を 8×8 のサブブロック単位のDCT係数に戻すとともに、数式6に示す逆変換式に基づいて 8×8 の逆DCTを行う。つまり、図4に示すように、 8×8 のDCT係数 $F(u, v)$ に基づいて、 8×8 のサブブロック単位のデータ $f(i, j)$ が得られる。また、4つのサブブロック単位のデータ $f(i, j)$ に基づいて1つのマクロブロック単位の再生画像データまたは予測誤差データを生成する。

【0019】

【数6】

$$f(i, j) = \frac{1}{4} \sum_{u=0}^7 \sum_{v=0}^7 C(u) C(v) \cdot F(u, v) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{16} \right\} \cos \left\{ \frac{(2j+1)v\pi}{16} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots, 7$$

$$j, v = 0, 1, 2, \dots, 7$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【0020】逆DCT回路103によって生成されたマクロブロック単位の予測誤差データには、そのマクロブロック・タイプに応じた参照画像データが加算器104によって加算されて、再生画像データが生成される。参照画像データは、スイッチ112を介して加算器104に送られる。ただし、逆DCT回路103から出力されたデータがフレーム内予測符号に対する再生画像データである場合には、参照画像データは加算されない。

【0021】逆DCT回路103または加算器104によって得られたマクロブロック単位の画像データが、Bピクチャに対する再生画像データである場合には、その再生画像データはスイッチ113に送られる。

【0022】逆DCT回路103または加算器104によって得られたマクロブロック単位の再生画像データが、IピクチャまたはPピクチャに対する再生画像データである場合には、その再生画像データはスイッチ111を介して第1参照画像用メモリ106または第2参照画像用メモリ107に格納される。スイッチ111は、CPU110によって制御される。

【0023】平均化部108は、メモリ106、107から読出された再生画像データを平均して、内挿的フレーム間予測符号化に用いられる参照画像データを生成する。

【0024】スイッチ112は、CPU110によって次のように制御される。逆DCT回路103から出力されたデータがフレーム内予測符号に対する再生画像データである場合には、スイッチ112の共通端子が接地端子に切り換えられる。

【0025】逆DCT回路103から出力されたデータが順方向フレーム間予測符号に対する予測誤差データである場合または逆方向フレーム間予測符号に対する予測誤差データである場合には、スイッチ112の共通端子が第1参照画像用メモリ106の出力が送られる端子または第2参照画像用メモリ107の出力が送られる端子のいずれか一方を選択するように切り換えられる。なお、参照画像用メモリ106、107から参照画像が読み出される場合には、可変長復号化器109からの動きベクトルに基づいて、参照画像の切り出し位置が制御される。

【0026】逆DCT回路103から出力されたデータが内挿的フレーム間予測符号に対する予測誤差データである場合には、スイッチ112の共通端子が平均化部108の出力が送られる端子を選択するように切り換えられる。

【0027】スイッチ113は、加算器104から送られてくるBピクチャに対する再生画像データ、参照画像用メモリ106に格納されたIピクチャまたはPピクチャに対する再生画像データ、参照画像用メモリ107に格納されたIピクチャまたはPピクチャに対する再生画像データが原画像の順序と同じ順番で出力されるようにCPU110によって制御される。復号器から出力された画像データはモニタ装置に与えられ、モニタ装置の表示画面に原画像が表示される。

【0028】

【発明が解決しようとする課題】上記従来のMPEG復号器では、参照画像用として2画面分のメモリが必要であり、メモリ容量が大きいという問題があった。

【0029】この発明は、メモリ容量の低減化を図れる動画復号化装置を提供することを目的とする。

【0030】

【課題を解決するための手段】この発明による動画復号化装置は、入力信号から得られた所定の大きさのブロック単位の直交変換係数のうち、水平周波数の高域部分の係数を除去して変換係数を半分に削減する係数削減回路、係数削減回路によって削減された変換係数を用いて逆直交変換を行うことにより、ブロック単位毎に水平方向が1/2に圧縮された再生画像データまたは時間軸予測誤差データを得る逆直交変換回路、逆直交変換回路によって得られた時間軸予測誤差データと所定の参照画像データとに基づいて、水平方向が1/2に圧縮された再生画像データを生成する加算器、ならびに逆直交変換回路または加算器によって得られた再生画像データのうち参照画像データを生成するために必要な再生画像データを記憶する1または複数の参照画像用メモリを備えていることを特徴とする。

【0031】上記所定のブロック単位が、水平方向画素数がMで、垂直方向画素数がNのM×Nの大きさのブロック単位であり、原画像の符号化時において直交変換が

数式7に基づいて行われたとすると、逆直交変換回路として
 数式8に基づいて逆直交変換を行うものが用いられる。

*【0032】

【数7】

*

$$F(u, v) = \frac{2}{\sqrt{M}\sqrt{N}} \cdot C(u) C(v) \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} f(i, j) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{2M} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots (M-1)$$

$$j, v = 0, 1, 2, \dots (N-1)$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【0033】

※ ※【数8】

$$f(i, j) = \frac{2}{\sqrt{M}\sqrt{N}} \sum_{u=0}^{M/2-1} \sum_{v=0}^{N-1} C(u) C(v) \cdot F(u, v) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{2 \cdot M/2} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots (M/2-1)$$

$$j, v = 0, 1, 2, \dots (N-1)$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【0034】上記所定のブロック単位が、水平方向画素数が8で、垂直方向画素数が8の8×8の大きさのブロック単位であり、原画像の符号化時において直交変換が数式9に基づいて行われたとすると、逆直交変換回路と★30

★としては数式10に基づいて逆直交変換を行うものが用いられる。

【0035】

【数9】

$$F(u, v) = \frac{1}{4} \cdot C(u) C(v) \sum_{i=0}^7 \sum_{j=0}^7 f(i, j) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{2M} \right\} \cos \left\{ \frac{(2j+1)v\pi}{2N} \right\}$$

ただし、

$$i, u = 0, 1, 2, \dots 7$$

$$j, v = 0, 1, 2, \dots 7$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【0036】

【数10】

$$f(i, j) = \frac{1}{4} \sum_{u=0}^3 \sum_{v=0}^7 C(u) C(v) \cdot F(u, v) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{8} \right\} \cos \left\{ \frac{(2j+1)v\pi}{16} \right\}$$

ただし、

$$i, u = 0, 1, 2, 3$$

$$j, v = 0, 1, 2, \dots, 7$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【0037】

【発明の実施の形態】以下、図1および図2を参照して、この発明をMPEG復号器に適用した場合の実施の形態について説明する。

【0038】図1は、MPEG復号器の構成を示している。

【0039】変換係数の可変長符号は、可変長復号化器1に送られる。マクロブロック・タイプを含む制御信号はCPU20に送られる。動きベクトルの可変長符号は、可変長復号化器10に送られて復号化される。可変長復号化器10によって得られた動きベクトルは、ベクトル値変換回路11に送られ、動きベクトルの水平方向の大きさが1/2になるように変換される。ベクトル値変換回路11によって水平方向の大きさが1/2になるように変換された動きベクトルは、第1参照画像用メモリ7および第2参照画像用メモリ8に、参照画像の切り出し位置を制御するための制御信号として送られる。

【0040】可変長復号化器1は、変換係数の可変長符号を復号化する。逆量子化器2は、可変長復号化器1から得られた変換係数（量子化されたDCT係数）を逆量子化してDCT係数に変換する。水平高域係数除去回路*

*（係数削減回路）3は、図2（a）に示すように、逆量子化器2で生成されたDCT係数列を8（水平方向画素数）×8（垂直方向画素数）のサブブロック単位に対応する8×8のDCT係数F（u，v）（ただし、u=0，1，…7、v=0，1，…7）に戻すとともに、各サブブロックの水平周波数の高域部分のDCT係数を除去して、図2（b）に示すように4（水平周波数方向u）×8（垂直周波数方向v）の数のDCT係数F（u，v）（ただし、u=0，1，…3、v=0，1，…7）に変換する。

【0041】逆DCT回路4は、水平高域係数除去回路3で生成された4×8の数のDCT係数に、数式11で示すような4×8の逆DCTを施して、図2（c）に示すような元のサブブロック単位のデータが水平方向に1/2に圧縮された4（水平方向画素数）×8（垂直方向画素数）のデータ数からなるデータf（i，j）（ただし、i=0，1，…3、j=0，1，…7）を生成する。

【0042】

【数11】

$$f(i, j) = \frac{1}{4} \sum_{u=0}^3 \sum_{v=0}^7 C(u) C(v) \cdot F(u, v) \times \\ \cos \left\{ \frac{(2i+1)u\pi}{8} \right\} \cos \left\{ \frac{(2j+1)v\pi}{16} \right\}$$

ただし、

$$i, u = 0, 1, 2, 3$$

$$j, v = 0, 1, 2, \dots, 7$$

$$C(u), C(v) = \begin{cases} 1/\sqrt{2} & u=0 \text{ または } v=0 \\ 1 & u \neq 0, v \neq 0 \end{cases}$$

【0043】また、このようにして得られた1つのマクロブロックを構成する4つのサブブロック単位に対応する画像データに基づいて水平方向が1/2に圧縮された8×16の1つのマクロブロック単位の再生画像データまたは予測誤差データを生成する。したがって、逆DCT回路4によって得られるマクロブロック単位のデータ量は、原画像のマクロブロック単位の画像データ量の半

分となる。

【0044】逆DCT回路4によって生成された水平方向が1/2に圧縮された8×16のマクロブロック単位の予測誤差データには、そのマクロブロック・タイプに応じた参照画像データ（水平方向が1/2に圧縮された8×16のマクロブロック単位の参照画像データ）が加算器5によって加算され、再生画像データが生成され

る。参照画像データは、スイッチ13を介して加算器5に送られる。ただし、逆DCT回路4から出力された画像データがフレーム内予測符号に対する再生画像データである場合には、参照画像データは加算されない。

【0045】逆DCT回路4または加算器5によって得られた水平方向が1/2に圧縮された8×16のマクロブロック単位の再生画像データが、Bピクチャに対する再生画像データである場合には、その再生画像データはスイッチ14に送られる。

【0046】逆DCT回路4または加算器5によって得られたマクロブロック単位の再生画像データが、IピクチャまたはPピクチャに対する再生画像データである場合には、その再生画像データはスイッチ12を介して第1参照画像用メモリ7または第2参照画像用メモリ8に格納される。第1参照画像用メモリ7または第2参照画像用メモリ8に格納される画像データ量は従来の1/2となる。スイッチ12は、CPU20によって制御される。

【0047】平均化部9は、第1参照画像用メモリ7および第2参照画像用メモリ8から読出された画像データを平均して、内挿的フレーム間予測符号化に用いられる8×16のマクロブロック単位の参照画像データを生成する。

【0048】スイッチ13は、CPU20によって次のように制御される。逆DCT回路4から出力されたデータがフレーム内予測符号化に対する再生画像データである場合には、スイッチ13の共通端子が接地端子に切り換えられる。

【0049】逆DCT回路4から出力されたデータが順方向フレーム間予測符号に対する予測誤差データである場合または逆方向フレーム間予測符号に対する予測誤差データである場合には、スイッチ13の共通端子が第1参照画像用メモリ7からの参照画像データが送られる端子または第2参照画像用メモリ8からの参照画像データが送られる端子のいずれか一方を選択するように切り換えられる。

【0050】なお、参照画像用メモリ7、8から参照画像が読み出される場合には、ベクトル値変換回路11からの動きベクトルに基づいて、その切り出し位置が制御される。ベクトル値変換回路11によって動きベクトルの水平方向の大きさが1/2に変換されているのは、加算器5から参照画像用メモリ7、8に送られるマクロブロック単位の画像データが水平方向に1/2に圧縮されたものとなっているためである。

【0051】逆DCT回路4から出力されたデータが内挿的フレーム間予測符号に対する予測誤差データである場合には、スイッチ13の共通端子が平均化部9の出力が送られる端子を選択するように切り換えられる。

【0052】スイッチ14は、加算器5からスイッチ14に送られてきたBピクチャに対する再生画像データ、

参照画像用メモリ7に格納されたIピクチャまたはPピクチャに対する再生画像データ、参照画像用メモリ8に格納されたIピクチャまたはPピクチャに対する再生画像データが原画像の順序と同じ順番で出力されるようにCPU20によって制御される。スイッチ14から出力された画像データは、フォーマット変換回路15によってモニタ装置の水平および垂直走査線数に対応するようにフォーマット変換された後、モニタ装置に送られる。

【0053】上記実施の形態によれば、第1参照画像用メモリ7および第2参照画像用メモリ8として、従来のそれらの容量の1/2のものを用いることができる。

【0054】ところで、逆量子化器2から得られるサブブロック毎の8×8の変換係数のうち、水平周波数の高域部分のみならず垂直周波数の広域部分を除去し、水平および垂直周波数が共に低い領域の4×4の変換係数のみを用いて4×4の逆変換を行って水平および垂直方向に1/2に圧縮されたデータを生成することが考えられる。このようにすると、第1参照画像用メモリ7および第2参照画像用メモリ8の容量を、従来の1/4にすることができる。

【0055】しかしながら、水平周波数の高域部分のみならず垂直周波数の高域部分をも除去して、4×4の逆変換を行った場合には、復号しようとする画像がインターレース画像である場合には、空間軸と時間軸とが混合されて画像劣化が生じるという問題がある。このような画像劣化が生じるのを防止するため、上記実施の形態では、水平周波数の高域部分の係数のみを除去し、垂直周波数の高域部分の係数を残して、4×8の逆変換を行っているのである。

【0056】

【発明の効果】この発明によれば、メモリ容量の低減化が図れる動画復号化装置が得られる。

【図面の簡単な説明】

【図1】MPEG復号器の構成を示すブロック図である。

【図2】水平高域係数除去回路によって水平空間周波数の高域部分が除去された後のDCT係数を示すとともに、逆DCT回路によって逆変換された後のデータを示す模式図である。

【図3】従来のMPEG復号器の構成を示すブロック図である。

【図4】MPEG符号器で行われるDCTおよび従来のMPEG復号器で行われる逆DCTを説明するための模式図である。

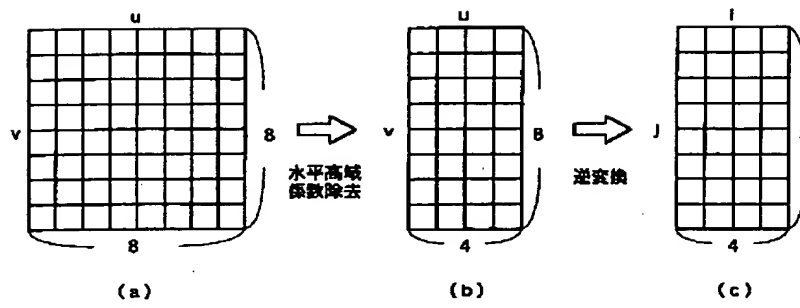
【符号の説明】

- 1 可変長復号化器
- 2 逆量子化器
- 3 水平高域係数除去回路
- 4 逆DCT回路
- 5 加算器

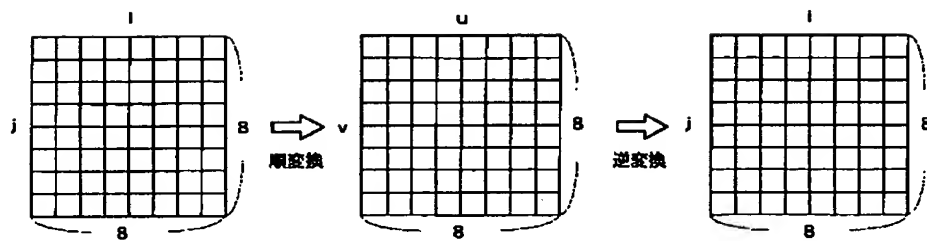
16

11 ベクトル値変換回路
12、13、14 スイッチ
15 フォーマット変換回路
20 CPU

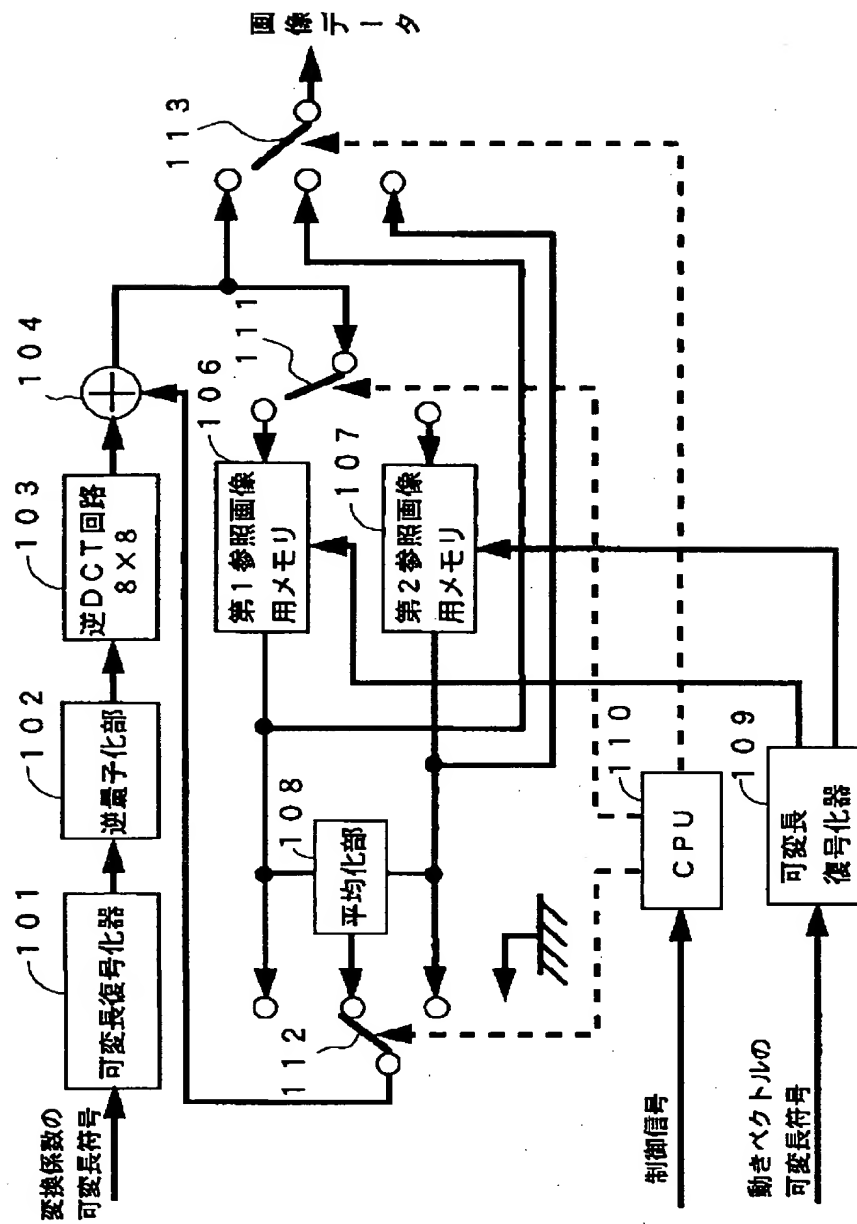
【図 2】



【図 4】



【図3】



フロントページの続き

(72)発明者 山下 昭彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内